جزوه اول:

توصیف ما برای هر سیستم به 2 حالت structural و behavioral باشد یک اینکه بگیم به صورت ساختاری و رفتاری آن را توضیح بدهیم ساختاری برای اینکه مثلا این سیستم چه اجزایی دارد و رفتاری به این شکل هست که با توجه به این ورودی چه خروجی دارد. سیستم ها باید امکان پیاده سازی به 2 صورت رفتاری و ساختاری را داشته باشند.

ASIC یعنی IC خاص منظوره هست که برای یک کار خاص تهیه شده است. Micros سیستم هایی هستند که همه منظوره هستند و خاص منظوره نیستند و یک سری ماژول هستند مثل ASIC ها. یا FPGA ها که یک سری دیگه از ماژول ها در سیستم های دیجیتال هستند که قابل برنامه ریزی مجدد هستند. که با استفاده از اینها میتوانیم توصیف ساختاری و رفتاری بکنیم و از قسمت های مختلف ماژول سیستم دیجیتال خود را بسازیم. دیجیتالی شدن یعنی اون جزئیات آنالوگ را حذف میکنیم آن یک سری از جزئیات را. هر پردازنده یا سیستم دیجیتالی از دو بخش تشکیل شده کنترل یونیت و دیتا پث هر سیستمی که بخواهد عملیات پردازشی انجام بدهد از این 2 نوع استفاده شده است. دیتا پث از قسمت ALU و رجیستر فایل و کش و I/O و رجیستر ها تشکیل شده است. رجیستر فایل یک آرایه 2 بعدی از رجیستر ها هست.

SOC را نمیتوانی تغییر بدهی چون طراحی شده است رفته.

جلسه دوم:

تمامی سیستم های دیجیتالی از ترانزیستور استفاده شده اند یعنی گیت اند هم از ترانزیستور استفاده شده هست و سیستم بهینه هست چون بر اساس نیاز ما بوده است و در سطح ترانزیستور هست. nmos ها مقدار 0 را خوب عبور میدهند و pmos ها 1 منطقی را خوب عبور میدهند یعنی جریان کم نمیشود بخاطر همین nmos ها را source را به زمین وصل میکنند و pmos ها چون 1 را خوب عبور میدهند به باتری وصل میکنند یا VCC source آنها را این سوییچ فکر کن pmos صفر بدهی ورودی به خروجی وصل میشود و nmos 1 بدهی خوب عمل میکند. تا دقیقه 31.

جزوه یازدهم:

حالت ایده آل کلاک اتفاق نمیفتد چون افت پتانسیل داریم و طول سیم ها متغیر هست پس نیاز به بافر داریم بافر عین گیت نات هست بدون دایره آخرش تا تقویت کننده ولتاژ باشد شبکه توزیع کلاک در ASIC ها باید در قسمت طراحی فیزیکی طراحی شود در FPGA ها اصلا نیازی نیست چون از قبل طراحی شده است در ASIC در سطح RTL LEVEL, GATE LEVEL نیست و در سطح transistorهست و طراحی توی اون قسمت ها انجام نمیدهیم و همه المان شبکه توزیع کلاک در سطح ترانزیستور هستند. نزدیک به توزیع کلاک سیم پهن تر مقاومت کمتر تاخیر کمتر خازن کمتر و در آخر درخت سیم نازک تر مقاومت بیشتر و تاخیر بیشتر هست و نیاز به بافر داریم. Clock skew یعنی کلاک ها همزمان نمیرسند و طول سیم ها متفاوت هست و متغیر میرسند به فلیپ فلاپ ها یا رجیستر ها. clock skew هم روی hold time هم روی setup time تاثیر منفی دارد. برای ستاپ تایم فرکانس کاری را کم میکنیم برای hold time هیچکاری نمیتونیم بکنیم اگر ساخته شود اگر ساخته نشده بود میتوانیم delay بگذاریم.

اون فرمول یک تقسیم بر نرخ هست. فرمول میگه اگر اینکه وارد metastability میشود چه قدر هست و بعد که وارد شد احتمال اینکه نتونه در resolution time مشکل metastability را حل بکند چه قدر هست. w بازه زمان setup, hold هست. fd نرخ تغییر کلاک هست مثلا در هر 10 کلاک یکبار ورودی تغییر میکند.